




Electrolytic plating method and device for a wiring board

Patent number: DE10113767
Publication date: 2001-10-11
Inventor: INOUE TOSHIKI (JP); KUMAGAI KYOKO (JP)
Applicant: TOYODA AUTOMATIC LOOM WORKS (JP)
Classification:
 - international: H05K3/42
 - european: C25D5/18; C25D21/14; H05K3/42D
Application number: DE20011013767 20010321
Priority number(s): JP20000079709 20000322

Also published as:

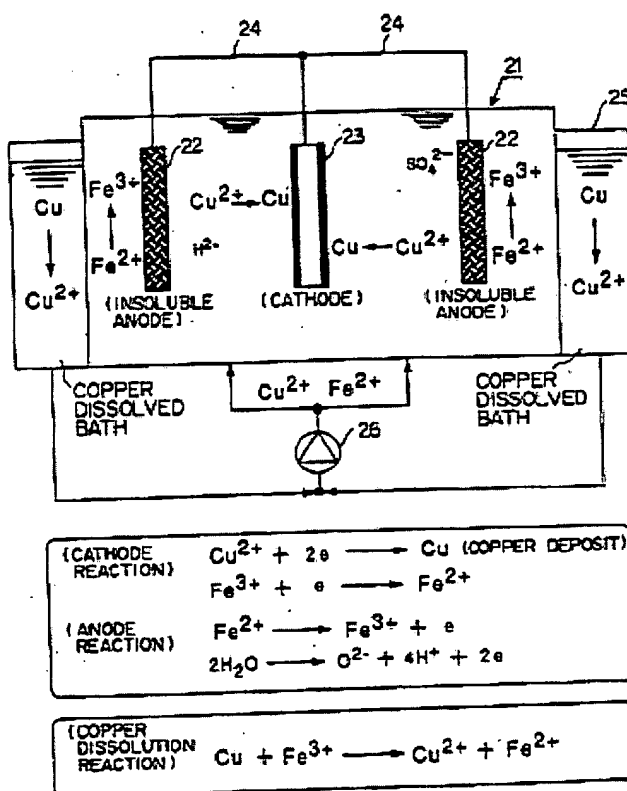
 US6783654 (B2)
 US2001023830 (A1)
 JP2001267726 (A)

Report a data error here

Abstract not available for DE10113767

Abstract of corresponding document: **US2001023830**

A plating bath which accommodates an insoluble anode and a printed-circuit board, and a copper dissolved bath which supplies copper ions are arranged. The insoluble anode is arranged as opposed to the printed-circuit board being a cathode, and a forward/reverse current is applied between both of the electrodes. Iron ions are added to a plating solution.



Data supplied from the esp@cenet database - Worldwide

This Page Blank (uspto)



⑮ **BUNDESREPUBLIK
DEUTSCHLAND**



**DEUTSCHES
PATENT- UND
MARKENAMT**

⑫ **Offenlegungsschrift**
⑩ **DE 101 13 767 A 1**

⑤① Int. Cl.⁷:
H 05 K 3/42

⑳ Aktenzeichen: 101 13 767.2
㉔ Anmeldetag: 21. 3. 2001
㉕ Offenlegungstag: 11. 10. 2001

DE 101 13 767 A 1

③① Unionspriorität:
P 079709/00 22. 03. 2000 JP

㉚ Anmelder:
Kabushiki Kaisha Toyoda Jidoshokki Seisakusho,
Kariya, Aichi, JP

㉛ Vertreter:
Tiedtke, Bühling, Kinne & Partner, 80336 München

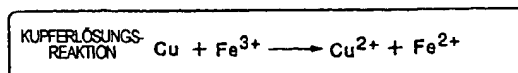
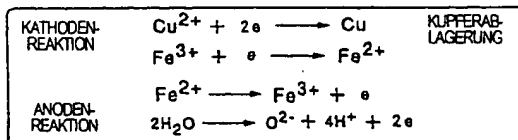
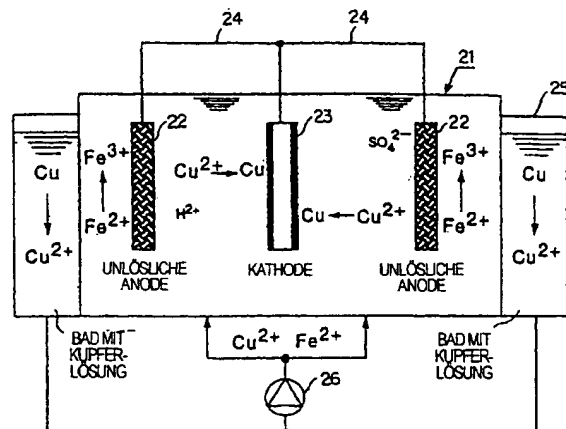
㉚ Erfinder:
Inoue, Toshiki, Kariya, Aichi, JP; Kumagai, Kyoko,
Kariya, Aichi, JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Elektrolytisches Plattierungsverfahren und Vorrichtung für eine Leiterbahnplatte

⑤⑦ Ein Plattierungsbad, welches eine unlösliche Anode und eine Platine für gedruckte Schaltungen versorgt, und ein Bad mit einer Kupferlösung für die Zufuhr von Kupferionen ist angeordnet. Die unlösliche Anode ist der Platine für gedruckte Schaltungen als Kathode gegenüberliegend angeordnet, und ein Durchlass-/Sperrstrom wird zwischen den beiden Elektroden angelegt. Eisenionen werden der Plattierungslösung hinzugefügt.



DE 101 13 767 A 1

[0001] Die Erfindung betrifft ein elektrolytisches Plattierungsverfahren und eine Vorrichtung zum Auffüllen einer in einer Leiterbahnplatte ausgebildeten Mikrodurchverbindung mit einer Metallplattierung.

[0002] Für elektrische Anwendungen wie etwa ein zelluläres Telefon, eine Videokamera, einen Notebook-Computer usw. wird die Anbringung von hochdichten Komponenten gefordert. Als Umsetzung der hochdichten Anbringung wird eine Aufbauplatte (engl.: buildup board), auf der eine Leiterbahnschicht und eine Isolationsschicht aufeinanderfolgend ausgebildet werden, eine Platine für gedruckte Schaltungen in einer Allschichtmikrodurchverbindungsbauart, an die mit darauf ausgebildeten Mikrodurchverbindungen versehene Leiterbahnplatten durch Hitze und Druck angebracht werden, und ähnliches vorgeschlagen.

[0003] Bei einer bekannten Platine in Buildup-Technologie werden Mikrolöcher (Mikrodurchverbindungen) auf einer Isolationsschicht ausgebildet, und die Innenseite und der Boden der Löcher werden metallplattiert, so dass Leiterbahnschichten über und unter der Isolationsschicht elektrisch verbunden sind.

[0004] Bei diesem Verfahren ist es jedoch schwierig, im weiteren eine Durchverbindung über der anderen auszubilden und die Löcher sicher elektrisch zu verbinden. Daher kann nach Stapelung von Mikrodurchverbindungen kein "Land" mehr auf einer Mikrodurchverbindung angeordnet werden. Aufgrund derartiger Beschränkungen beim Strukturentwurf kann die Gesamtheit des Strukturentwurfs nicht ohne automatisches Leiterbahnwerkzeug ausgebildet werden, während ein Teil des Entwurfs manuell ausgebildet werden muss. Folglich ist eine lange Zeitdauer erforderlich, um eine Platine für gedruckte Schaltungen zu entwerfen.

[0005] Zur Beseitigung dieses Problems wird eine Technik zum Auffüllen von Mikrodurchverbindungen durch elektrolytische Plattierung vorgeschlagen. Die japanische Patentoffenlegungsschrift mit der Veröffentlichungsnummer 8469 offenbart beispielsweise eine Auffüllungstechnik für Mikrodurchverbindungen, indem eine elektrische Metallplattierung mit einer PR-Elektrolyse durchgeführt wird, nachdem eine nichtelektrische Metallschicht ausgebildet wird.

[0006] Bei dem durch die vorstehend beschriebene Veröffentlichung offenbarten Plattierungsverfahren unter Verwendung einer PR-Elektrolyse muss jedoch der Plattierungsvorgang für eine lange Zeit durchgeführt werden (beispielsweise 2 Std. oder länger), damit die Mikrodurchverbindungen aufgefüllt werden. Daher steigen die Herstellungskosten für eine Platine für gedruckte Schaltungen, und die Verwendung einer Platine für gedruckte Schaltungen auf Massenproduktionsniveau ist schwierig. Zusätzlich werden Versuche unternommen, die Dichte des elektrischen Stromes zur Verkürzung der Plattierungszeit zu verbessern. Dabei treten jedoch dahingehend Probleme auf, dass etwa ein Leerraum während der Plattierung entsteht, oder eine plattierte Oberfläche rau wird.

[0007] Ferner offenbart die japanische Patentoffenlegungsschrift mit der Veröffentlichungsnummer 507 106 zur Lösung der auftretenden Probleme, wenn eine lösliche Anode verwendet wird, ein Metallplattierungsverfahren unter Verwendung einer unlöslichen Anode und einer Plattierungslösung, der ein Oxidations-Reduktions-Bestandteil hinzugefügt wird.

[0008] Bei der vorstehend beschriebenen Druckschrift wird jedoch nicht von einem elektrolytischen Plattierungsvorgang unter Verwendung einer Gleichstromquelle ausgegangen, und es wird kein Plattierungsverfahren zur Auffül-

lung von Mikrodurchverbindungen auf einer Platine für gedruckte Schaltungen mit nur kurzer Dauer angegeben.

[0009] Demzufolge liegt der vorliegenden Erfindung die Aufgabe zugrunde, ein Verfahren zum Auffüllen von Mikrodurchverbindungen auf einer Platine für gedruckte Schaltungen in kurzer Zeit anzugeben.

[0010] Erfindungsgemäß wird eine Platine für gedruckte Schaltungen als erstem Pol und eine unlösliche Elektrode als dem anderen Pol verwendet; und elektrolytisches Plattieren durch Anlegen eines Durchlass-/Sperrstroms unter Verwendung einer Metallplattierungslösung durchgeführt, welche 0,1 g/l oder mehr Eisenionen enthält, so dass in der Platine für gedruckte Schaltungen ausgebildete Mikrodurchverbindungen durch eine Metallplattierung aufgefüllt werden.

[0011] Erfindungsgemäß wird elektrolytisches Plattieren durch Anlegen eines Durchlass-/Sperrstroms unter Verwendung einer Metallplattierungslösung mit Eisenionen von 0,1 g/l oder mehr durchgeführt, wodurch Mikrodurchverbindungen innerhalb kürzerer Zeit als bei einem bekannten Verfahren aufgefüllt werden können, und eine Metallschicht mit einer glatten Oberflächencharakteristik ausgebildet werden kann. Folglich können Mikrodurchverbindungen innerhalb kurzer Zeit ausgebildet werden, welche Leiterbahnschichten über und unter einer Isolationsschicht elektrisch verbinden, wodurch die Herstellungskosten für eine vielschichtige Platine für gedruckte Schaltungen bedeutend reduziert werden.

[0012] Als elektrolytisches Plattierungsverfahren ist beispielsweise ein elektrolytisches Sperrpulsverfahren unter Anwendung eines gepulsten Durchlass-/Sperrstroms verfügbar.

[0013] Ferner kann die Plattierungslösung gerührt werden, damit sie parallel zu der zu plattierenden Oberfläche der Platine für gedruckte Schaltungen fließt. Dabei kann die Flussmenge der Plattierungslösung in Abhängigkeit von dem Durchmesser oder der Tiefe einer Mikrodurchverbindung gesteuert werden.

[0014] Mit der vorstehend beschriebenen Konfiguration kann die Ablagerungsgeschwindigkeit der Metallplattierung auf der Oberfläche der Platine für gedruckte Schaltungen und derjenigen der Metallplattierung innerhalb einer Mikrodurchverbindung geeignet gesteuert werden. Demzufolge kann eine tiefe Mikrodurchverbindung mit einem kleinen Durchmesser ohne Erzeugung eines Leerraums oder ähnliches innerhalb des Loches aufgefüllt werden.

[0015] Nachstehend wird die vorliegende Erfindung anhand von bevorzugten Ausführungsbeispielen unter Bezugnahme auf die beiliegende Zeichnung näher beschrieben. Es zeigen:

[0016] Fig. 1 den Herstellungsvorgang für eine vielschichtige Platine für gedruckte Schaltungen;

[0017] Fig. 2 ein elektrolytisches Plattierungsverfahren gemäß einem bevorzugten Ausführungsbeispiel;

[0018] Fig. 3 den Fluss der Plattierungslösung;

[0019] Fig. 4 die Wellenform eines Plattierungsstroms;

[0020] Fig. 5 die Plattierungsbedingungen von Proben;

[0021] Fig. 6 die Ergebnisse einer Messung des Rauheitsgrades von Oberflächen bei den Proben;

[0022] die Fig. 7A und 7B die Schnittansicht einer Mikrodurchverbindung gemäß dem bevorzugten Ausführungsbeispiel; und

[0023] Fig. 8 eine Schnittansicht einer Mikrodurchverbindung, wenn sie mit einer Plattierungslösung plattiert wird, die nicht Eisenionen enthält.

[0024] Zunächst wird der Herstellungsvorgang für eine vielschichtige Platine für gedruckte Schaltungen unter Bezugnahme auf Fig. 1 beschrieben.

[0025] Eine Leiterbahnstruktur (Leiterbahnschicht) 11' wird durch das Ätzen einer auf einem Harzkern 12 wie etwa einem Glasepoxid oder ähnlichem gestapelten Kupferfolie (Leitungsschicht) ausgebildet (Ablaufschritte (1) und (2) in Fig. 1). Sodann wird eine Isolationsschicht 13 auf der Leiterbahnstruktur ausgebildet (Ablaufschritt (3) in Fig. 1). In die Isolationsschicht 13 werden mit einem Laser oder ähnlichem Löcher gebohrt, so dass Mikrodurchverbindungen 14 ausgebildet werden (Ablaufschritt (4) in Fig. 1). Danach wird eine kupferplattierte Schicht 15 durch elektrolytisches Plattieren oder ähnliches zur Auffüllung der Mikrodurchverbindungen ausgebildet (Ablaufschritt (5) in Fig. 1). Bei dem Plattierungsablaufschritt (5) aus Fig. 1 werden nach Ausbildung einer dünnen Leitungsschicht durch chemische Plattierung oder ähnliches auf der Leiterbahnstruktur 11' auf dem Grunde der Isolationsschicht 13 und der Mikrodurchverbindungen 14 die Mikrodurchverbindungen 14 durch eine sperrgepulste elektrolytische Plattierung zur Ausbildung der kupferplattierten Schicht 15 aufgefüllt. Daraufhin wird eine Leiterbahnstruktur 15' durch Ätzen der kupferplattierten Schicht 15 ausgebildet (Ablaufschritt (6) in Fig. 1). Als Ergebnis können die Leiterbahnstrukturen 11' und 15' über und unter der Isolationsschicht 13 elektrisch verbunden werden.

[0026] Die Auffüllungstechnik für Mikrodurchverbindungen durch sperrgepulstes elektrolytisches Plattieren ist beispielsweise wiedergegeben in "Gist of the 100th Lecture", Surface Finishing Society of Japan, 6. und 7. Oktober 1999. [0027] Nachstehend wird ein elektrolytisches Plattierungsverfahren für eine Platine für gedruckte Schaltungen gemäß dem vorliegenden bevorzugten Ausführungsbeispiel unter Bezugnahme auf Fig. 2 beschrieben.

[0028] Ein Plattierungsbad 21 ist aus unlöslichen Anoden 22, einer Platine für gedruckte Schaltungen als Kathode 23, eine Energieversorgungsquelle 24 zum Anlegen eines Durchlass-/Sperrstromes zwischen den Elektroden sowie einer Eisenionen beinhaltenden Kupferplattierungslösung zusammengesetzt. Zur Verbreiterung der Oberflächenbereiche der Elektrode wird eine Elektrode mit vielen Öffnungen wie etwa ein Streckmetall oder ähnliches für jede der unlöslichen Anoden 22 verwendet.

[0029] Außerdem sind die Bäder mit Kupferlösungen 25 für die Zufuhr von Kupferionen an das Plattierungsbad 21 angeordnet, und die Lösung innerhalb der Bäder mit Kupferlösung 25 und die Plattierungslösung innerhalb des Plattierungsbades 21 werden durch eine Zirkulationspumpe 26 in Zirkulation versetzt.

[0030] Gemäß dem vorliegenden bevorzugten Ausführungsbeispiel wird ein Eisenion " Fe^{2+} " der Plattierungslösung hinzugefügt, so dass " $\text{Fe}^{3+} + e$ " aus " Fe^{2+} " in der Umgebung der unlöslichen Anoden 22 gemäß Fig. 2 erzeugt wird.

[0031] In den Bädern mit Kupferlösung 25 werden " Cu^{2+} " sowie " Fe^{2+} " durch die Lösungsreaktion zwischen dem Kupferwerkstoff innerhalb den Bädern mit Kupferlösung 25 und dem durch jede der unlöslichen Anoden 22 erzeugten und zu den Kupferlösungsbädern 25 beförderten " Fe^{3+} " erzeugt.

[0032] Bei der Kathode 23 wird Cu aus " Cu^{2+} " abgelagert, was aus den Kupferlösungsbädern 25 zugeführt wird, so dass eine kupferplattierte Schicht auf der Platine für gedruckte Schaltungen ausgebildet wird. Gleichzeitig wird aus dem durch die unlöslichen Anoden 22 erzeugten " $\text{Fe}^{3+} + e$ " jeweils " Fe^{2+} " ausgebildet.

[0033] " Fe^{3+} " wird nämlich aus dem in der Plattierungslösung als Resultat der elektrolytischen Reaktion der unlöslichen Anoden 22 beinhalteten Eisenion " Fe^{2+} " erzeugt, und " Cu^{2+} " sowie " Fe^{2+} " werden durch " Fe^{3+} " und dem Kupferwerkstoff innerhalb des Bades mit Kupferlösung 25 erzeugt.

Daher wird das Kupferion " Cu^{2+} " und das Eisenion " Fe^{2+} ", welches der Plattierungslösung hinzugefügt und durch die Reaktion der unlöslichen Anoden 22 konsumiert wird, fortwährend von den Bädern 25 mit Kupferlösung zugeführt.

[0034] Fig. 3 zeigt den Fluss der Plattierungslösung innerhalb des Plattierungsbades 21 gemäß dem vorliegenden bevorzugten Ausführungsbeispiel.

[0035] Die Kathode (Platine für gedruckte Schaltungen) 23 ist in der Mitte des Plattierungsbades 21 angeordnet, und die beiden in vernetzten Zustand befindlichen unlöslichen Anoden 22 sind bezüglich der Platine 23 für gedruckte Schaltungen gegenüberliegend angeordnet. Die Plattierungslösung wird durch die Zirkulationspumpe 26 in der bezüglich Fig. 3 rechten Richtung in Zirkulation versetzt. Genaue wird die Plattierungslösung so in Zirkulation versetzt, dass sie parallel zu der mit einer vorbestimmten Flussmenge zu plattierenden Oberfläche fließt. Indem die Plattierungslösung parallel zu der zu plattierenden Oberfläche der Platine 23 für gedruckte Schaltungen fließt, werden Mikroverbindungsstellen vollständig aufgefüllt, und es kann eine plattierte Schicht mit einer geeigneten Schichtdicke ausgebildet werden. Dies kann als umgesetzt betrachtet werden, weil die Ablagerungsgeschwindigkeit von Kupfer auf der Oberfläche der Platine 23 für gedruckte Schaltungen und der von Kupfer innerhalb der Durchverbindungen eingestellt werden kann, indem beispielsweise die Plattierungslösung parallel zu der Oberfläche der Platine 23 für gedruckte Schaltungen fließt, damit die auf der Oberfläche der Platine 23 für gedruckte Schaltungen existierende Menge von " Fe^{3+} " gesteuert wird.

[0036] Nachstehend werden Plattierungsbedingungen und Bewertungsergebnisse eines Plattierungsvorgangs beschrieben, wenn eine Mikrodurchverbindung mit einer Tiefe von 50 μm , die in einer Isolationsschicht ausgebildet ist, mit dem Plattierungsverfahren gemäß dem vorliegenden bevorzugten Ausführungsbeispiel aufgefüllt wird.

[0037] Die grundsätzliche Zusammensetzung der bei diesem bevorzugten Ausführungsbeispiel verwendeten Plattierungslösung ist wie nachstehend angegeben:

Kupfersulfat · 5 Hydrate: 235,7 g/l

Schwefelsäure: 60 g/l

organische Additive (oberflächenaktiver Wirkstoff wie etwa der durch Atotec Co., Ltd. bereitgestellte Impuls Leveler)

organische Additive (Aufheller wie etwa der durch Atotec Co., Ltd. bereitgestellte Impuls Brightener)

Chlorionen: 40 mg/l

Eisenionen: 15 g/l (oder 0,1 g/l)

[0038] Bei diesem bevorzugten Ausführungsbeispiel wird ein sperrgepulstes elektrolytisches Plattieren durch Anlegen eines gepulsten Durchlass-/Sperrstroms an die Elektroden durchgeführt. Der an die beiden Elektroden angelegte Plattierungsstrom ist ein gepulster Durchlass-/Sperrstrom mit einer Durchlassstromdauer T1 von 40 ms und einer Sperrstromdauer T2 von 2 ms, wie es in Fig. 4 gezeigt ist. Ferner ist die durchschnittliche Stromdichte in der Kathode auf 3 A/dm² eingestellt.

[0039] Fig. 5 zeigt die Plattierungsbedingungen für die Proben 1 bis 3 einer Platine für gedruckte Schaltungen, für die eine elektrolytische Sperrpulsplattierung durchgeführt wurde, nämlich die in der Plattierungslösung enthaltene Menge von Eisenionen, die durchschnittliche Stromdichte, die Plattierungszeit sowie die Dicke der plattierten Schicht.

[0040] Bei Probe 1 wurde die Plattierung für 33,3 Min. mit einer durchschnittlichen Stromdichte von 3 A/dm² in einer Plattierungslösung durchgeführt, welche keine Eisenionen enthält.

[0041] Bei Probe 2 wurde die Plattierung für 33,3 Min. mit einer durchschnittlichen Stromdichte von 3 A/dm² in-

ner Plattierungslösung durchgeführt, welche 15 g/l Eisenionen enthält.

[0042] Bei Probe 3 wurde die Plattierung für 33,3 Min. mit einer durchschnittlichen Stromdichte von 3 A/dm² in einer Plattierungslösung durchgeführt, die 0,1 g/l Eisenionen enthält.

[0043] Fig. 6 zeigt die Ergebnisse der Messung des Rauheitsgrades der plattierten Oberflächen der Proben 1 bis 3 unter Verwendung eines Rauheitsmeters in der Bauart mit Berührungsnadeln.

[0044] Bei dieser Figur beträgt der durchschnittliche Wert des Rauheitsgrades der plattierten Oberfläche von Probe 1 3,496 µm, für welche die elektrolytische Sperrpulsplattierung für 33,3 Min. mit der keine Eisenionen enthaltenden Plattierungslösung durchgeführt wurde, wohingegen der Durchschnittswert des Rauheitsgrades der plattierten Oberfläche von Probe 3 2,830 µm betrug, bei der die elektrolytische Sperrpulsplattierung mit 33,3 Min. mit einer 0,1 g/l Eisenionen enthaltenden Plattierungslösung durchgeführt wurde. Genauer kann verifiziert werden, dass eine glatte plattierte Oberfläche mit Probe 3 erhalten werden kann, für die die Plattierung mit der Plattierungslösung mit Eisenionen durchgeführt wurde.

[0045] Ferner lag der Durchschnittswert für den Rauheitsgrad der plattierten Oberfläche von Probe 2 bei 1,821 µm, für welche die elektrolytische Sperrpulsplattierung für 33,3 Min. mit der Plattierungslösung mit 15 g/l Eisenionen durchgeführt wurde, und eine noch glattere plattierte Oberfläche als dies kann mit der Plattierungslösung mit 0,1 g/l Eisenionen erhalten werden.

[0046] Fig. 7A zeigt die Schnittansicht einer Mikrodurchverbindung, wenn die elektrolytische Sperrpulsplattierung mit der 15 g/l Eisenionen enthaltenden Plattierungslösung unter den vorstehend beschriebenen Bedingungen durchgeführt wurde. Fig. 7B zeigt währenddessen die Schnittansicht einer Mikrodurchverbindung, wenn die elektrolytische Sperrpulsplattierung unter Verwendung der 0,1 g/l Eisenionen enthaltenden Plattierungslösung durchgeführt wird.

[0047] Zudem zeigt Fig. 8 die Schnittansicht einer Mikrodurchverbindung, wenn die elektrolytische Sperrpulsplattierung mit der Plattierungslösung ohne Eisenionen durchgeführt wird.

[0048] Es ist anzumerken, dass sich die Mikrodurchverbindung verjüngt, der Durchmesser der Öffnung des Loch beträgt nämlich 40 µm, während der Durchmesser am Grunde des Loches 25 µm und die Tiefe 50 µm beträgt.

[0049] Falls die elektrolytische Sperrpulsplattierung für 33,3 Min. mit der Plattierungslösung mit 15 g/l Eisenionen enthaltenden Plattierungslösung durchgeführt wird, wird die Mikrodurchverbindung vollständig aufgefüllt und die kupferplattierte Oberfläche ist glatt, wie es in Fig. 7A gezeigt ist. Da der Hohlraum in der Mitte der Mikrodurchverbindung im Vergleich zu seiner Tiefe (50 µm) kleiner ist, macht dies in der Praxis nichts aus.

[0050] Falls die elektrolytische Sperrpulsplattierung für 33,3 Min. mit der 0,1 g/l Eisenionen enthaltenden Plattierungslösung durchgeführt wird, wird die Mikrodurchverbindung vollständig aufgefüllt, wie es in Fig. 7B gezeigt ist. Obwohl die kupferplattierte Oberfläche leicht rauer als die gemäß Fig. 7A ist, hat dieses Niveau in der Praxis keine Bedeutung.

[0051] Fig. 8 zeigt zum Vergleich die Schnittansicht einer Mikrodurchverbindung, wenn die elektrolytische Sperrpulsplattierung mit der Plattierungslösung ohne Eisenionen unter den vorstehend beschriebenen Bedingungen durchgeführt wird. Dabei wird die Mikrodurchverbindung aufgefüllt, aber die kupferplattierte Oberfläche wird im Vergleich zu dem Fall rauer, wenn gemäß Fig. 7B die Plattierung mit

der Plattierungslösung mit 0,1 g/l Eisenionen durchgeführt wird. Falls eine plattierte Oberfläche rau ist, wird die Struktur auf der unteren Oberfläche eines Resistlackes abgeschabt, wenn der Resistlack zum Ätzen der Struktur ausgebildet wird, was zu einer Inhomogenität der Breite der Struktur führt. Daher kann verifiziert werden, dass eine Leiterbahnstruktur von höherer Qualität mit der Plattierungslösung mit Eisenionen gemäß den Fig. 7A oder 7B erhalten werden kann.

[0052] Aus den Ergebnissen der Vergleiche zwischen den Rauheitsgraden der plattierten Oberfläche und der Schnittansichten der Mikrodurchverbindungen gemäß den Fig. 7A, 7B und 8 kann verifiziert werden, dass Mikrodurchverbindungen in einer kürzeren Zeit (ungefähr 33,3 Min.) als bei einem bekannten Verfahren aufgefüllt werden können, indem Eisenionen einer Plattierungslösung mit 0,1 g/l oder mehr hinzugefügt werden, sowie indem eine elektrolytische Sperrpulsplattierung durchgeführt wird, und gleichzeitig kann eine glatte plattierte Oberfläche ausgebildet werden. Von dem Ergebnis des Falles ausgehend, wenn die Plattierung mit der Plattierungslösung ohne Eisenionen unter den gleichen Bedingungen durchgeführt wird, kann ferner verifiziert werden, dass die Glättungswirkung für eine plattierte Oberfläche durch das Hinzufügen von Eisenionen hoch ist.

[0053] Gemäß dem vorstehend beschriebenen bevorzugten Ausführungsbeispiel werden Eisenionen einer Kupferlösung hinzugefügt sowie eine elektrolytische Sperrpulsplattierung durchgeführt, wodurch Mikrodurchverbindungen in kurzer Zeit aufgefüllt werden können sowie deren Oberfläche nahezu geglättet werden kann.

[0054] Zusätzlich fließt die Plattierungslösung parallel zu der zu plattierenden Oberfläche (die Oberfläche auf der Mikrodurchverbindungen ausgebildet werden) einer Platine für gedruckte Schaltungen als Kathode, wodurch die Plattierungscharakteristik weiter verbessert wird. Weiterhin kann durch Steuerung der Flussmenge einer Plattierungslösung auf einen geeigneten Wert die Ablagerungsgeschwindigkeit an der Oberfläche der Kathode 23 und der von Kupfer innerhalb einer Mikrodurchverbindung auf einen gewünschten Wert eingestellt werden.

[0055] Bei dem vorstehend beschriebenen bevorzugten Ausführungsbeispiel wird "Fe²⁺" einer Kupferplattierungs-lösung hinzugefügt. Die vorliegende Erfindung ist jedoch nicht auf "Fe²⁺" beschränkt, und es können andere Oxidations-Reduktions-Bestandteile hinzugefügt werden. Die vorliegende Erfindung kann ebenso auf von Kupfer verschiedene Metallplattierungsvorgänge angewendet werden. Die Anlegungszeit für den Durchlass-/Sperrstrom für die Plattierung, die Stromdichte für die Elektrode, die Zusammensetzung einer Plattierungslösung, die Plattierungszeit, usw. sind ferner nicht auf die bei dem vorstehend beschriebenen bevorzugten Ausführungsbeispiel Umgesetzten beschränkt. Es kann beispielsweise eine beliebige Zusammensetzung verwendet werden, falls sie für die elektrolytische Plattierung von Kupfer und anderen Metallen verfügbar ist.

[0056] Darüber hinaus ist die Richtung, in der man eine Plattierungslösung nach oben oder nach unten fließen lässt, nicht auf rechts und links beschränkt. Das Wesentliche ist, dass die Plattierungslösung parallel zu der plattiert gewünschten Oberfläche einer Platine für gedruckte Schaltungen fließt. Die vorliegende Erfindung kann auf ein Vielschichtsubstrat angewendet werden, auf dem eine Halbleitervorrichtung angebracht ist, oder ähnliches, und ist nicht auf eine vielschichtige Platine für gedruckte Schaltungen beschränkt.

[0057] Erfindungsgemäß werden Mikrodurchverbindungen in kurzer Zeit aufgefüllt, und es kann eine Metallschicht mit einer glatten Oberflächencharakteristik ausgebildet wer-

den. Genauer können Mikrodurchverbindungen in kurzer Zeit ausgebildet werden, welche Leiterbahnschichten über und unter einer Isolationsschicht elektrisch verbinden, wodurch die Herstellungskosten einer vielschichtigen Leiterbahnplatine bedeutend reduziert werden.

[0058] So ist nämlich ein Plattierungsbad angegeben, welches eine unlösliche Anode und eine Platine für gedruckte Schaltungen versorgt, und ein Bad mit einer Kupferlösung für die Zufuhr von Kupferionen ist angeordnet. Die unlösliche Anode ist der Platine für gedruckte Schaltungen als Kathode gegenüberliegend angeordnet, und ein Durchlass-/Sperrstrom wird zwischen den beiden Elektroden angelegt. Eisenionen werden der Plattierungslösung hinzugefügt.

Patentansprüche

1. Elektrolytisches Plattierungsverfahren mit den Schritten:

Verwenden einer Leiterbahnplatine (23) als erstem Pol und einer unlöslichen Elektrode (22) als dem anderen Pol; und

Durchführen einer elektrolytischen Plattierung durch Anlegen eines Durchlass-/Sperrstroms unter Verwendung einer Metallplattierungslösung, die 0,1 g/l oder mehr Eisenionen enthält, so dass Mikrodurchverbindungen auf der Leiterbahnplatine (23) durch eine Metallplattierung aufgefüllt werden.

2. Elektrolytisches Plattierungsverfahren nach Anspruch 1, wobei die Metallplattierungslösung so gerührt wird, damit sie parallel zu der zu plattierenden Oberfläche der Leiterbahnplatine (23) fließt.

3. Elektrolytisches Plattierungsverfahren nach Anspruch 1, wobei die unlösliche Elektrode (22) als Elektrode mit vielen Öffnungen konfiguriert ist.

4. Elektrolytisches Plattierungsverfahren nach Anspruch 1, wobei

die unlösliche Elektrode (22) als Metallnetz mit vielen Öffnungen konfiguriert ist; und

die Metallplattierungslösung durch eine Kupferplattierungslösung umgesetzt ist, die 0,1 g/l oder mehr Eisenionen enthält, und die eine elektrolytische Sperrpulsplattierung durchführt.

5. Elektrolytisches Plattierungsverfahren nach Anspruch 1, wobei

die Metallplattierungslösung eine Kupferplattierungslösung ist; und

die Leiterbahnplatine (23) eine Platine für gedruckte Schaltungen ist.

6. Elektrolytisches Plattierungsverfahren nach Anspruch 1, ferner mit den Schritten

Anordnen eines Plattierungsbades (21), das die unlösliche Elektrode (22) und die Leiterbahnplatine (23) versorgt, und eines Bades mit Kupferlösung (25), das Kupferionen an das Plattierungsbad (21) zuführt; und Versetzen einer Lösung innerhalb des Bades mit Kupferlösung (25) und der Plattierungslösung innerhalb des Plattierungsbades (21) in Zirkulation.

7. Elektrolytische Plattierungsvorrichtung für eine Leiterbahnplatine mit

einer unlöslichen Elektrode (22), die einer Leiterbahnplatine (23) gegenüberliegende Elektrode ist;

einer Metallplattierungslösung mit 0,1 g/l oder mehr Eisenionen; und

einer Stromquelle (24) zur Durchführung von elektrolytischem Plattieren, indem ein Durchlass-/Sperrstrom zwischen der Leiterbahnplatine (23) und der unlöslichen Elektrode (22) anliegt.

8. Elektrolytische Plattierungsvorrichtung nach An-

spruch 7, wobei auf einer Platine für gedruckte Schaltungen ausgebildete Mikrodurchverbindungen (14) durch elektrolytisches Sperrpulsplattieren aufgefüllt sind.

9. Elektrolytische Plattierungsvorrichtung nach Anspruch 7, zudem mit einer Rühreinheit (26), welche die Metallplattierungslösung so umrührt, damit die Metallplattierungslösung parallel zu einer zu plattierenden Oberfläche der Leiterbahnplatine (23) fließt.

10. Elektrolytische Plattierungsvorrichtung nach Anspruch 9, zudem mit

einem Plattierungsbad (21), das die unlösliche Elektrode und die Leiterbahnplatine (23) versorgt; und einem Bad mit Kupferlösung (25), das dem Plattierungsbad (21) Kupferionen zuführt, wobei die Rühreinheit (26) eine Lösung innerhalb des Bades mit Kupferlösung (25) und die Plattierungslösung innerhalb des Plattierungsbades (21) in Zirkulation versetzt.

11. Elektrolytische Plattierungsvorrichtung nach Anspruch 7, wobei

die unlösliche Elektrode (22) durch eine Elektrode mit vielen Öffnungen umgesetzt ist; und die Plattierungslösung durch eine Kupferplattierungslösung umgesetzt ist.

Hierzu 8 Seite(n) Zeichnungen

- Leerseite -

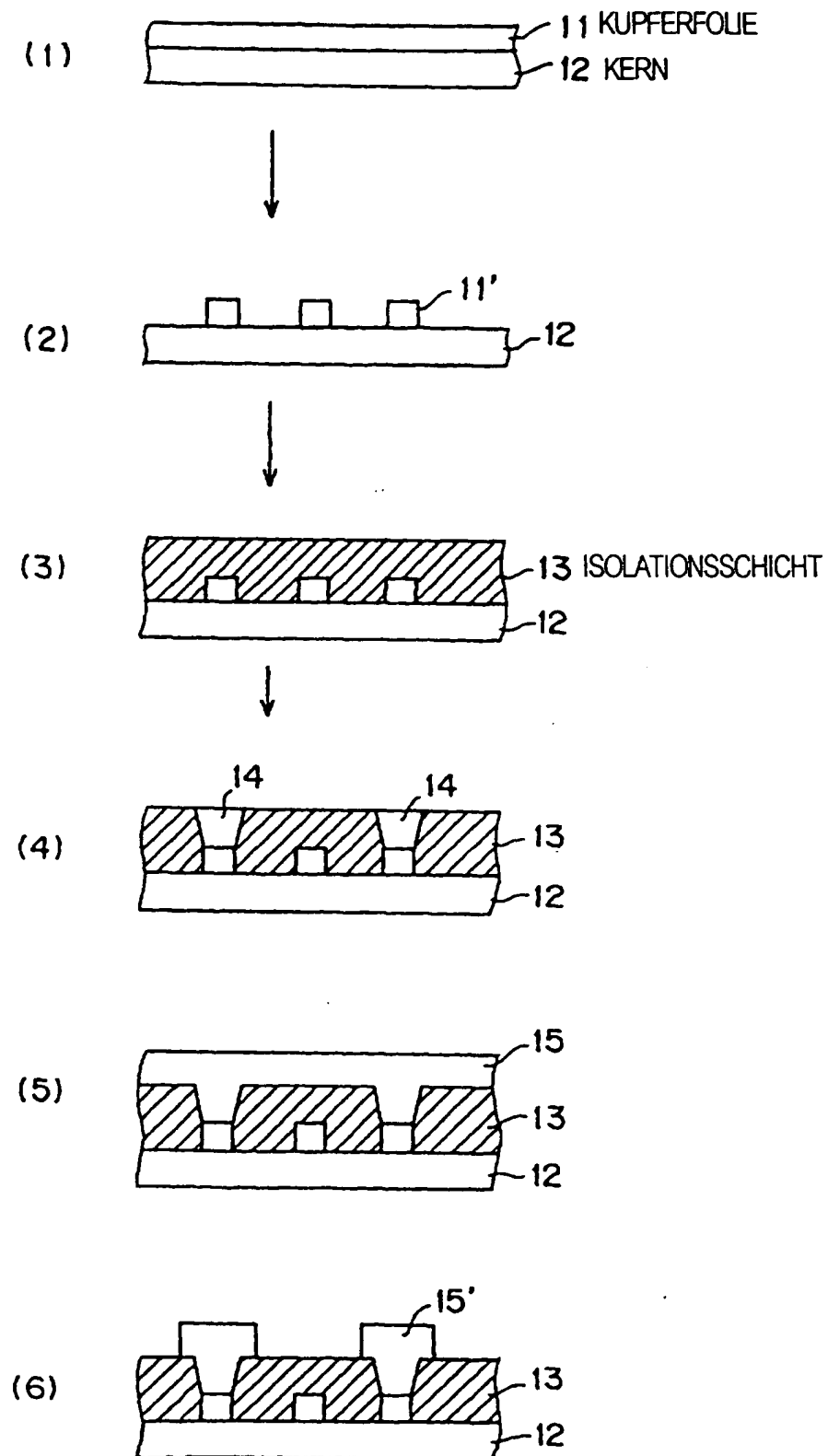


FIG. 1

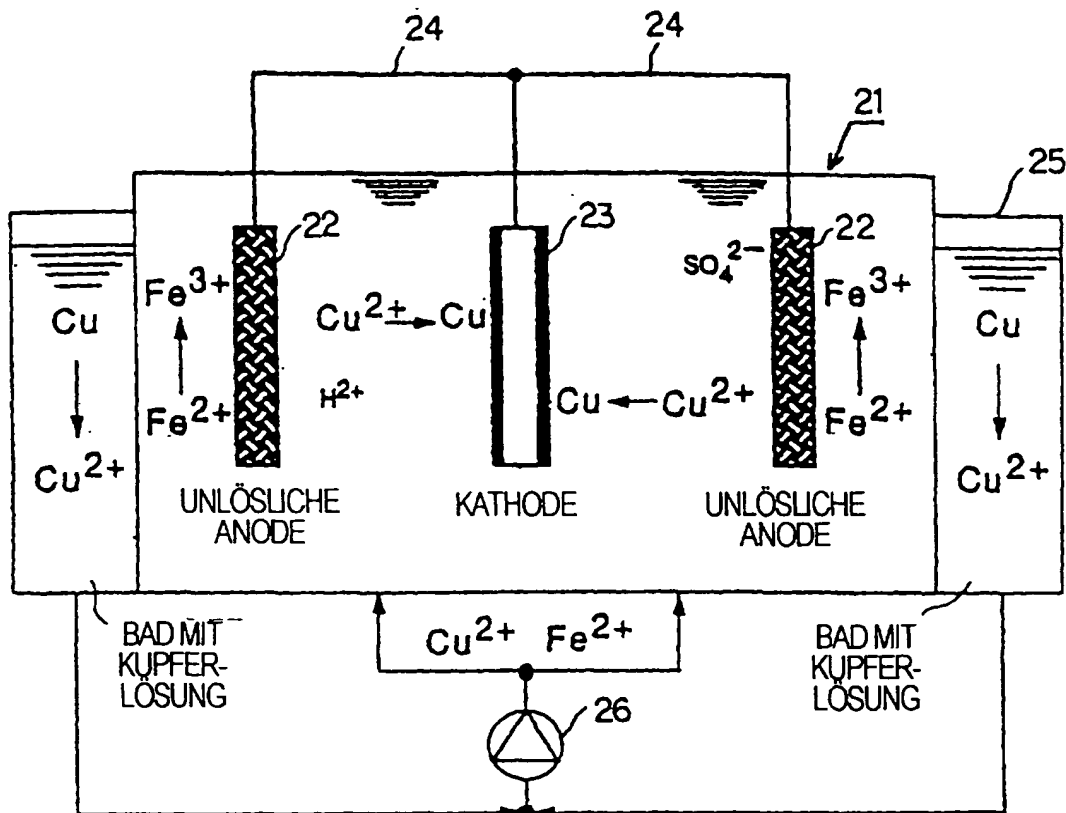
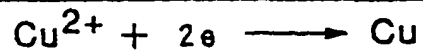
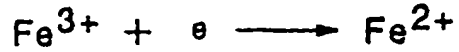
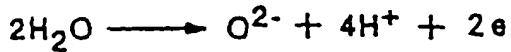
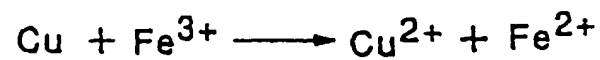
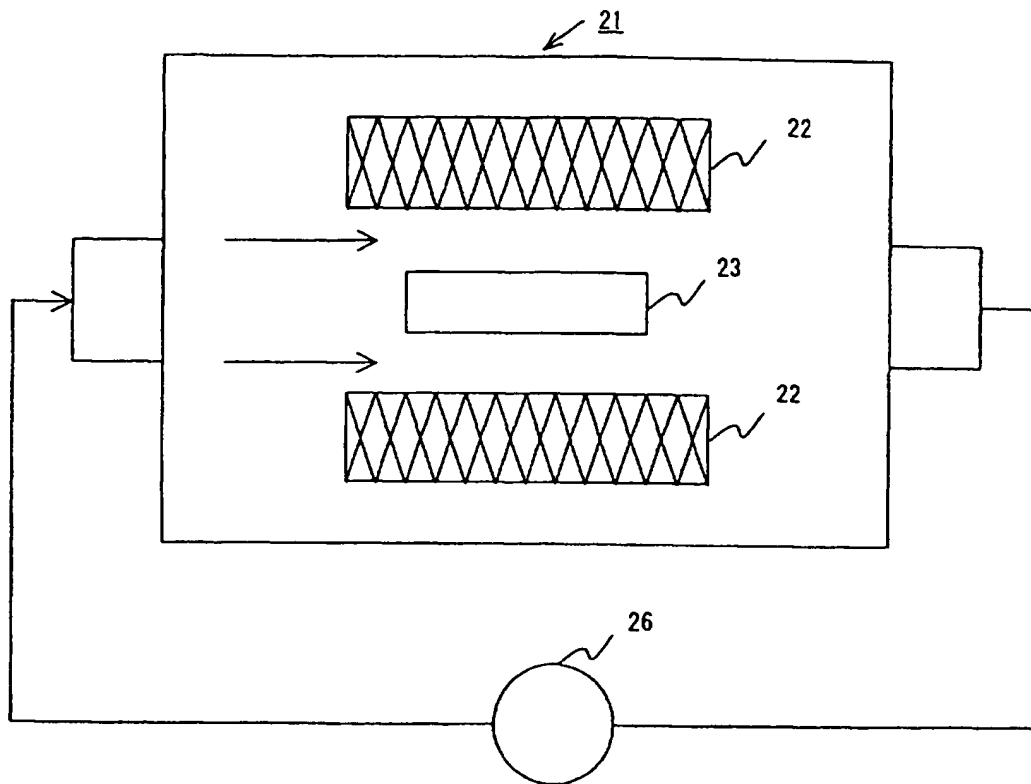
KATHODEN-
REAKTIONKUPFERAB-
LAGERUNGANODEN-
REAKTIONKUPFERLÖSUNGS-
REAKTION

FIG. 2



F I G. 3

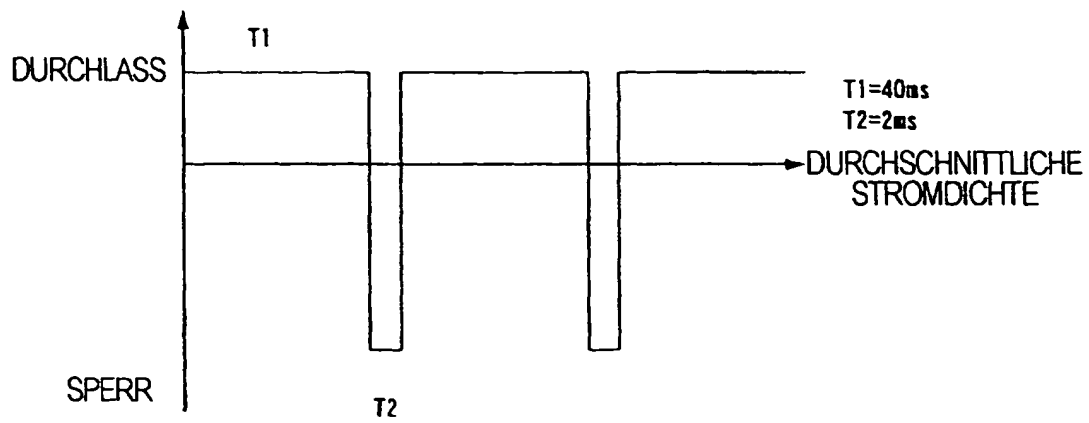


FIG. 4

PROBE	PLATTIERUNGS- LÖSUNG	DURCH- SCHNITT- LICHE STROM- DICHT E	ZEIT
1	KEINE Fe IONEN	3 A/dm ²	33. 3 MINUTEN
2	Fe ²⁺ 15g/L	3 A/dm ²	33. 3 MINUTEN
3	Fe ²⁺ 0. 1g/L	3 A/dm ²	33. 3 MINUTEN

F I G. 5

PROBE	Fe (gh)	Rz (μ m)		Av. (μ m)
1	0	3.334	3.663	3.496
2	15	1.949	1.694	1.821
3	0.1	2.884	2.776	2.830

F I G. 6

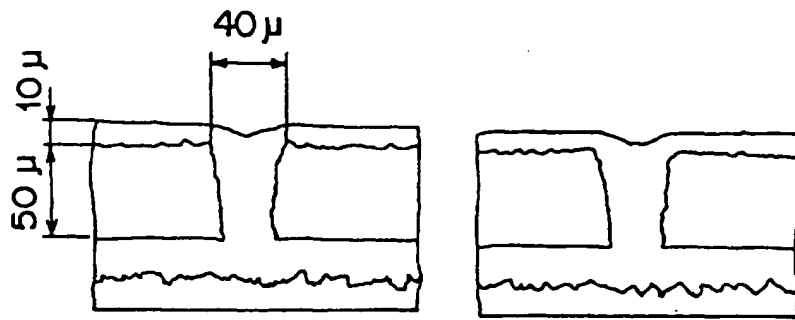


FIG. 7A

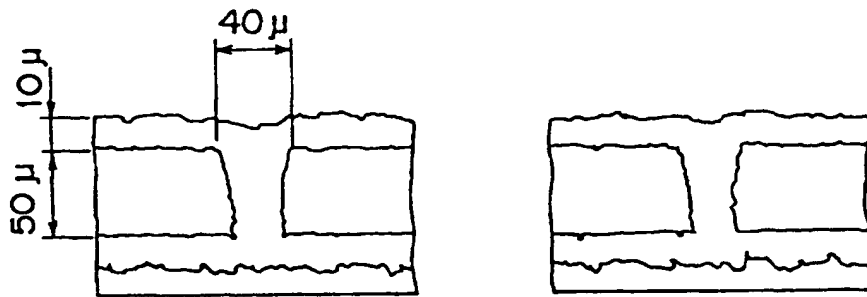


FIG. 7B

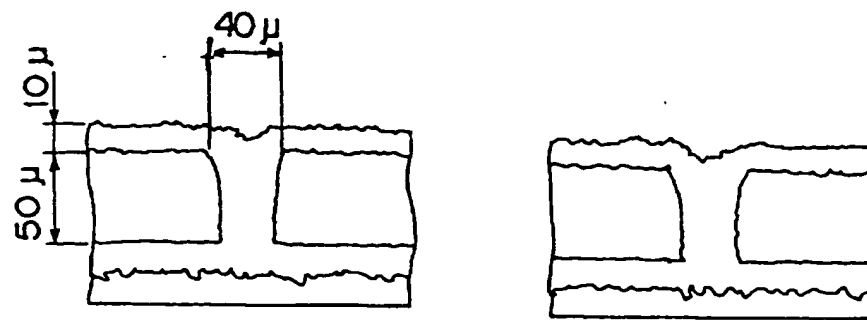


FIG. 8